

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-105594
(43)Date of publication of application : 24.04.1998

(51)Int.Cl. G06F 17/50
H05K 13/00

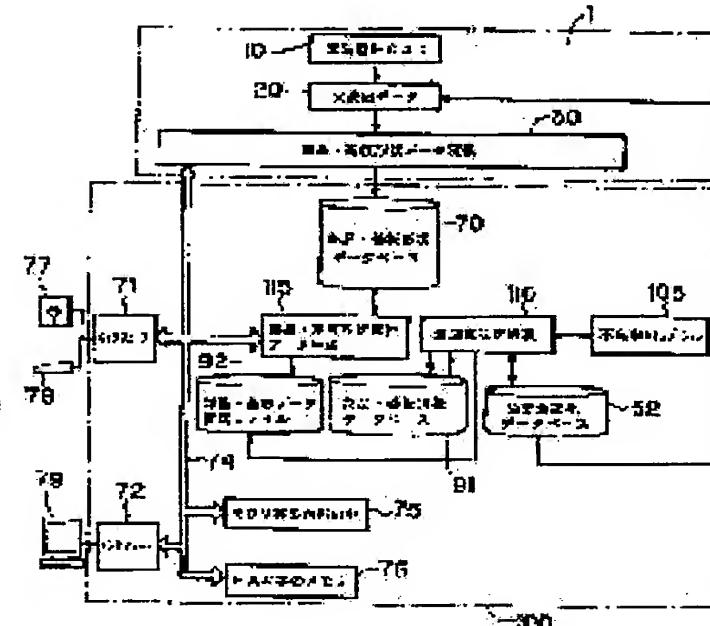
(21)Application number : 08-260882 (71)Applicant : HITACHI LTD
(22)Date of filing : 01.10.1996 (72)Inventor : KOJIMA TOSAKU
NOMOTO TAZU
IWAI HIROKI
NAGAMI HAYASHI

(54) METHOD AND SYSTEM FOR ANALYZING LAYOUT QUALITY OF MOUNTING PRODUCT

(57)Abstract:

PROBLEM TO BE SOLVED: To improve quality when developing a new mounting product and to develop the product in a short time simultaneously by analyzing or evaluating the quality of the mounting product while using the layout system of the mounting product, and designing the mounting product so that this analyzed or evaluated quality can satisfy desired quality.

SOLUTION: This system is composed of a CAD calculation system 1 and a defect analytic correction system 100. The defect analytic correction system 100 evaluates whether the mounting product designed by the CAD 1 sufficiently satisfies a specification (defect rate) in total performance or quality. Therefore, in optimum value determining processing 110, it is evaluated whether the specification is satisfied at the allowable defect rate or not and a defect rate simulator 105 evaluates whether the specification is satisfied at a total defect rate or not. Then, the total performance or quality and total satisfactory rate of the mounting product in case of real production are evaluated so as to start mass-production while correcting a layout change or process condition quickly.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-105594

(43) 公開日 平成10年(1998)4月24日

(51) Int.Cl.⁶

G 06 F 17/50

H 05 K 13/00

識別記号

F I

G 06 F 15/60

H 05 K 13/00

G 06 F 15/60

6 0 4 A

Z

6 5 8 Z

審査請求 未請求 請求項の数15 O L (全 17 頁)

(21) 出願番号

特願平8-260882

(22) 出願日

平成8年(1996)10月1日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 小島 東作

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72) 発明者 野本 多津

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72) 発明者 岩井 浩樹

神奈川県海老名市下今泉810番地 株式会
社日立製作所オフィスシステム事業部内

(74) 代理人 弁理士 武 順次郎

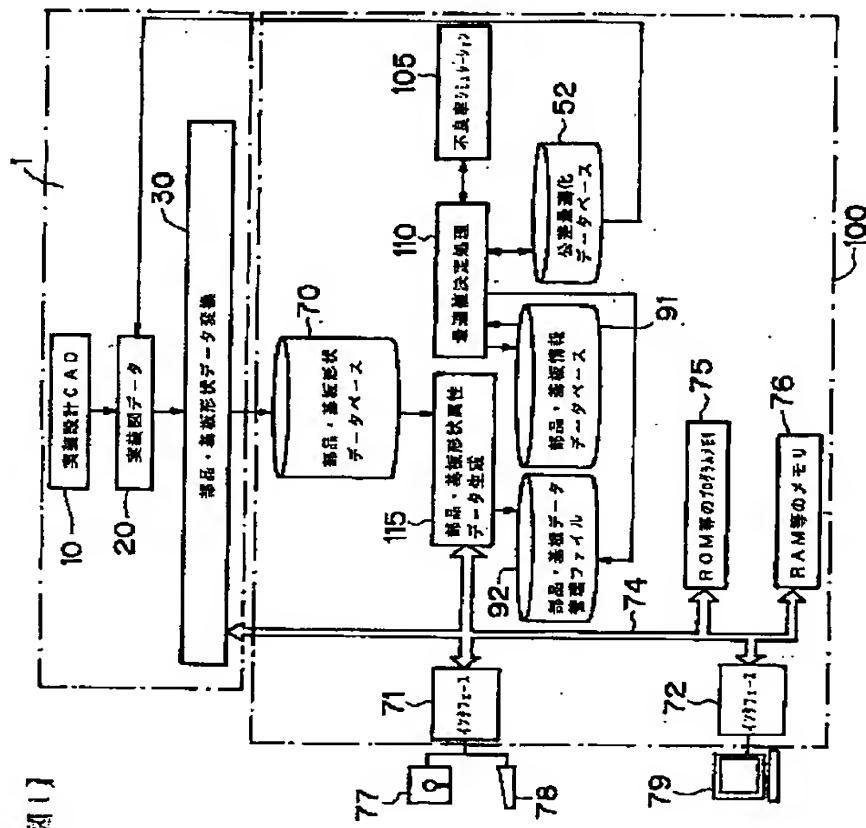
最終頁に続く

(54) 【発明の名称】 実装製品の設計品質解析方法及び実装製品の設計品質解析システム

(57) 【要約】

【課題】 実装製品の品質向上および短期製品開発を同時に満足して、最適品質設計を行なうこと。

【解決手段】 基板上に新規な電子部品を接合実装する新規な接合部を有する実装製品を製造したときの新規な接合部における少なくとも接合力不足の現象、ブリッジ現象及、マンハッタン現象の何れかについて、実装製品のCAD計算システムと不良解析改訂システムを用いて解析又は評価し、この解析又は評価された新規な接合部における少なくとも接合力不足の現象、ブリッジ現象、マンハッタン現象の何れかについて、所望の不良率の値を満足するように、実装製品における新規な接合部を設計する。



することを特徴とする実装製品の設計品質解析方法。

【請求項12】 基板上に新規な電子部品を接合実装する新規な接合部を有する実装製品を製造したときの新規な接合部における少なくとも接合力不足の現象、ブリッジ現象、マンハッタン現象の何れかについて解析又は評価するために、実装製品のCAD計算システムと不良解析改訂システムを用いて部品・基板形状データと部品・基板形状属性データを生成し、この生成された部品・基板形状データと部品・基板形状属性データを用いて、実装製品における新規な接合部の少なくとも接合力不足の現象、ブリッジ現象、マンハッタン現象の何れかについて解析又は評価し、この解析又は評価された実装製品における新規な接合部の少なくとも接合力不足の現象、ブリッジ現象、マンハッタン現象の何れかについて、所望の値を満足するように、実装製品を設計することを特徴とする実装製品の設計品質解析方法。

【請求項13】 製品を設計するCAD計算システムと、製品を製造したときの製品の品質を解析又は評価する解析システムを備え、該解析システムで解析又は評価された製品の品質が所望の品質を満足するように、CAD計算システムにおける製品の設計にフィードバックさせることを特徴とする製品の設計品質解析システム。

【請求項14】 製品を設計するCAD計算システムと、製品を製造したときの製品の不良率を解析又は評価する解析システムを備え、該解析システムで解析又は評価された製品の不良率が所望の不良率を満足するように、CAD計算システムにおける製品の設計にフィードバックさせることを特徴とする製品の設計品質解析システム。

【請求項15】 CADで、同時並行にはんだの良し悪し等の製造品質の余裕度解析により、基板ランド関連寸法決定を支援することを特徴とする製品の設計品質解析システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、基板上に電子部品を接合実装する電子系実装製品について、製造された品質を保証して開発効率の向上を図るようにした、実装製品の設計品質解析方法及び実装製品の設計品質解析システムに関する。

【0002】

【従来の技術】 電子系実装製品が作り易い品質であるか否かを評価する従来の手法としては、設計時にデザイン・レビューと称して設計や製作や検査等の熟練者が経験に基づいて品質を判定して、要改良部を指摘する一般的な手法が知られている。

【0003】 品質の良い実装製品を短期間で開発するためには、①製造プロセスの精度向上と、②設計起因不良ポテンシャルの未然防止とが、必要である。ところが、発生した不良が、①の製造プロセスによるものか、②の

10

20

30

40

50

設計に起因した不良かを、同定できる方法がなかった。また、新部品／新プロセスの場合には、その品質のバラツキ（不良のバラツキ）の分布が予測できず、試作した後でないとこれを求めることができなかつた。

【0004】

【発明が解決しようとする課題】 上記した従来の方法では定性的で、評価対象品の品質がどの程度に良いか悪いかや、改良した場合にどれ位の効果があるかを、客観的・定量的に表現することが難しい上、設計や生産技術や検査に十分な経験のある者しか実施することができないという問題があつた。

【0005】 本発明の目的は、上記従来技術の問題を解決すべく、基板上に電子部品を接続実装する実装製品の開発において、所望の性能や品質を早期に満足するよう設計できるようにした、実装製品の品質解析方法及びその設計品質解析システムを提供することにある。

【0006】 また、本発明の他の目的は、基板上に電子部品を接続実装する実装製品の開発において、所望の性能や品質及び所望の信頼度を早期に満足するよう設計できるようにした、実装製品の品質解析方法及びその設計品質解析システムを提供することにある。

【0007】

【課題を解決するための手段】 上記した目的を達成するために、本発明による実装製品の設計品質解析方法は、基板上に電子部品を接合実装する実装製品を製造したときの実装製品の品質を、実装製品の設計システムを用いて解析又は評価し、この解析又は評価された実装製品の品質が所望の品質を満足するように、実装製品を設計する。

【0008】 また、本発明による実装製品の設計品質解析方法は、基板上に電子部品を接合実装する製品を製造したときの実装製品の不良率を、実装製品の設計システムを用いて解析又は評価し、この不良率が所望の不良率を満足するように、実装製品を設計する。

【0009】 また、本発明による実装製品の設計品質解析方法は、基板上に電子部品を接合実装する実装製品を製造したときの接合部における少なくとも接合力不足の現象、ブリッジ現象、マンハッタン現象の何れかについて、実装製品の設計システムを用いて解析又は評価し、これらの解析又は評価された接合部における少なくとも接合力不足の現象、ブリッジ現象、マンハッタン現象の何れかについて少なくとも所望の値を満足するように、実装製品における接合部を設計する。

【0010】 また、本発明による実装製品の設計品質解析システムは、CAD計算システムと不良解析改訂システムとによって構成され、生成された実装図データに基づいて基板上に実装される各種電子部品分解性評点を選定して、これら選定された各種電子部品に関する部品設計情報を生成し、また実装図データに基づいて基板設計情報を生成し、これらの部品及び基板設計情報から部品

・基板形状データ変換を行う。更に、新たに設計した実装製品が総合の品質において仕様に対して、余裕をもって満足しているか否かを評価するための許容される不良率において仕様を満足しているか否かを評価する最適値決定処理手段と、総合の不良率において仕様を満足しているか否かを評価する不良率シミュレータと、CAD計算システムからの部品・基板形状データベースを基に部品・基板形状属性データ生成を収集し、基板の全部品に関する部品表に相当する部品・基板データ管理ファイルと、部品・基板形状データベースに評価のために必要な情報として入力されるその他のデータを付加し部品毎に格納した部品・基板情報データベースと、目標不良率を達成した最終シュミレーション結果を格納した公差最適値データベースとを、有する。

【0011】本発明によれば、基板上に電子部品を接合実装する実装製品について設計する際の、該実装製品の品質の評価において、

(1) 経験を必要とせずに、定量的に評価を容易に行うことができる。

(2) 不良率評価だけでなく、性能向上、品質向上及び短期製品開発という相反する評価項目を統一的に評価することができる。

【0012】また、本発明によれば、基板上の電子部品を接合実装する実装製品について設計する際の、該実装製品の品質又は信頼度の評価が早い段階で実現できるため、不具合対策指示が早期にかつ容易に行うことができる。

【0013】

【発明の実施の形態】以下、本発明の実施の形態を、図1～図15によって説明する。新たな実装製品（実装装置）を設計する場合には、総合の性能や品質について仕様を満足し、かつ、総合の品質について総合良品率から所望の不良率以下するように設計する必要がある。一方、電子部品を含め既存の部品については、性能や品質については、性能や品質について算出できている場合がある。しかしながら、電子部品を含め新規の部品については、性能や品質については算出できないばかりでなく、不良率についても算出できていない場合が多い。そのため、新たな高密度の電子部品を、基板にはんだ等の接合材を用いて接合実装する新たな実装装置を設計する場合は、早急に総合の性能や品質について仕様を満足し、かつ、総合の品質について総合良品率から所望の不良率以下になっていることを評価することができない。

【0014】そこで、本発明においては、上記した新たな実装製品（実装装置）を設計した場合に、実装製品の設計システムによって、早急に、実際に製造した際の総合の性能や品質について、仕様（所望の不良率以下）を満足するか否かを評価できるようとする。

【0015】本発明において取り扱う実装製品は、図2及び図3に示すように、配線43が形成された基板上の

10

20

30

40

50

例えはランド42に、IC素子（半導体パッケージ）51aや、抵抗素子51bや、コンデンサ素子51cや、コネクタ51dや、接続ピン等の電子部品51を、はんだ等の接合材を用いて接合して実装してなるものである。本発明において取り扱う、新たに設計する実装製品も、新たな高密度の電子部品等も含めて電子部品51を、基板上にはんだ等の接合材を用いて接合実装してなるものである。なお、上記基板41は多層の配線層を有する多層基板で形成され、配線にはスルホールを有するものであってもよい。

【0016】上記したように本発明において取り扱う実装製品は、各種電子部品51を、配線43が形成された基板41上の例えはランド42に、はんだ等の接合材を用いて接合して実装するものであるため、実装製品における不良としては、実装される各種電子部品51自体の不良と、スルホールを含む配線間における断線及び短絡（断線及び短絡に近い状態：疑似断線及び疑似短絡も含む）に関する不良と、はんだ等の接合材を用いて接合する接合部の不良（接着力不足現象やブリッジ現象やマンハッタン現象、あるいはこの他、接合材の不良、搭載位置ずれ、ランド42や各種素子の電極やIC素子のリードの不良を含む）等がある。

【0017】上記した実装製品における不良のうち、接合部の不良についていま少し詳しく説明する。まず、接合部の不良には、図3に示すようなマンハッタン（Manhattan effect）現象〔表面実装のプロセスにおいて、はんだペーストをリフローする際に、基板パターン上の実装部品がはんだ表面張力等によって、パターンから離脱する現象であり、この現象は実装部品が高層ビルあるいは墓石のように直立するのでかのように名付けられており、ツームストン（Tomstone effect）現象とも呼ばれる〕がある。このマンハッタン現象は、VPS（Vapor phase soldering）法に特有な現象とみられていたが、近時のチップ部品の微小化に伴って、IR（赤外線）リフローや熱風リフロー方式においても発生する。また、このマンハッタン現象が生じる要因は、チップ部品の両端の電極（例えはK）やパターン（ランド）42の設計が主であるが、この他に、チップ部品両端電極面でのはんだ量の不均一や、加熱及びはんだ付面積が不均一な場合等に、溶融はんだの表面張力差が生じて、一方に引っ張られて発生する（また、予熱加熱をせずに急熱した場合や、又はペーストの吸湿劣化等もその要因となることがある）。

【0018】また、接合部の不良には上記のマンハッタン現象以外にも、電子部品の電極又はリード間においてはんだの供給量が多すぎたりして、はんだ同士がつながるブリッジ現象（短絡現象）、あるいは、電子部品の電極又はリードとパターン（ランド）42とのはんだ接続が不十分である現象（はんだ等の接合材による接着力不足の現象）等がある。

【0019】以上説明したように、実装製品（実装装置）における不良としては、実装される各種電子部品51自体の不良と、スルホールを含む配線間における断線及び短絡に関する不良と、はんだ等の接合材を用いて接合する接合部の不良とがある。基板41に実装される各種電子部品51自体の不良については、各種電子部品51自体がもっているものであるため、設計においてどのメーカーのどの種類の電子部品を用いるかによって決まる。基板41上に形成されるスルホールを含む配線間における断線及び短絡に関する不良については、基板上への配線設計と、これら配線等を製造する製造プロセスと、配線パターンの検査等によって決まってくる。ま

$$M_d = T_1 + T_2$$

一方、マンハッタン（直立）促進モーメントMaは、次

$$M_a = T_3 + T_4$$

T₁は、電子部品（チップ部品）の自重による直立抑止★

★モーメントであり、次の③式の関係で表される。

$$T_1 = M \cdot g \cdot d \cdot \cos(\alpha + \beta) \quad \dots \dots \text{③式}$$

T₂は、電子部品（チップ部品）の電極下部の溶融はんだによる直立抑止モーメントであり、次の④式の関係で☆

$$T_2 = \gamma \cdot K \cdot \cos(\alpha / 2) \quad \dots \dots \text{④式}$$

T₃は、電子部品（チップ部品）の電極外側の溶融はんだによる直立促進モーメントであり、次の⑤式の関係で◆

$$T_3 = \gamma \cdot H \cdot \sin(\alpha + \delta) \quad \dots \dots \text{⑤式}$$

T₄は、酸化防止用の不活性液体（不活性ガス）の浮力による直立促進モーメントであり、次の⑥式の関係で*

$$T_4 = L \cdot H \cdot \rho \cdot g \cdot d \cdot \cos(\alpha + \beta) \quad \dots \dots \text{⑥式}$$

但し、赤外線加熱や熱風リフローの場合は不活性ガスを用いないので、T₄=0となる。

【0021】なお、上記の各式において、

M：電子部品（チップ部品）の幅1mm当たりの重量（g/mm）〔チップ部品の選択で決まってくる。〕

g：重力加速

γ：溶融はんだの表面張力（0.4J/cm²）

ρ：215°Cにおける不活性液体の密度（例えば、1.6g/cm³）

α：接触点31を中心としたランド42の表面と、電子部品（チップ部品）の電極面とのなす角度〔正常にはんだ付される場合には、αは0°に近い値を示す。〕

β：接触点31を中心とした電子部品（チップ部品）の重心Gと、電子部品（チップ部品）の電極面とのなす角度〔電子部品の選定で決まってくる。〕

K：電子部品（チップ部品）の電極の幅〔電子部品の選定で決まってくる。なお、電子部品（チップ部品）の搭載位置が大幅にずれて、接触点31からランド42の内側端までの寸法Cの方が電子部品の電極の幅Kより小さくなると、Kの代わりにCにする必要がある。〕

$$M_d < M_a$$

$$M_d > M_a$$

即ち、ランド42の設計において、電子部品（チップ部品）の搭載時の位置ずれをできるだけ許容するように、

*た、はんだ等の接合材を用いて接合する接合部の不良について、基板41に実装される各種電子部品51の選定と、パターン（ランド）42の設計及びこの製造プロセス条件と、搭載機等による搭載時のパターン（ランド）42に対する電子部品51の位置決め精度と、はんだ等の接合材を用いて接合する接合条件等からきまとくる。

【0020】上記したはんだ等の接合材を用いて接合する接合部の不良としては、図3に示すようにマンハッタン現象による不良が考えられる。ここで、マンハッタン（直立）抑止モーメントMdは、次の①式の関係で表される。

$$\dots \dots \text{①式}$$

一方、マンハッタン（直立）促進モーメントMaは、次※※の②式の関係で表される。

$$\dots \dots \text{②式}$$

T₁は、電子部品（チップ部品）の自重による直立抑止★

★モーメントであり、次の③式の関係で表される。

$$\dots \dots \text{③式}$$

T₂は、電子部品（チップ部品）の電極下部の溶融はんだによる直立抑止モーメントであり、次の④式の関係で☆

☆表される。

$$\dots \dots \text{④式}$$

T₃は、電子部品（チップ部品）の電極外側の溶融はんだによる直立促進モーメントであり、次の⑤式の関係で◆

◆表される。

$$\dots \dots \text{⑤式}$$

T₄は、酸化防止用の不活性液体（不活性ガス）の浮力による直立促進モーメントであり、次の⑥式の関係で*

*される。

$$\dots \dots \text{⑥式}$$

※D：接触点31からランド42の外側端までの寸法〔主にランド42の設計及び電子部品の搭載位置との関係で決まってくる。〕

30 d：接触点31から電子部品の重心Gまでの長さ〔電子部品の選定で決まってくる。〕

δ：三角形の辺に対する頂点32のなす角度－α〔即ち、(α+δ)が三角形の辺Dに対する頂点32のなす角度〕である。

【0022】ここで、上述の説明では、図3において紙面と直交する方向のランド42と電子部品51との位置ずれ関係については考慮していない。しかし、電子部品51を搭載する際には、この位置ずれも生じるため、マンハッタン現象に影響を及ぼす。

40 【0023】以上説明したように、マンハッタン不良が発生する場合は、次の⑦式の関係（マンハッタン促進モーメントMaがマンハッタン抑止モーメントMdより大なる関係）となる。一方、マンハッタン不良が発生しない場合は、次の⑧式の関係（マンハッタン促進モーメントMaがマンハッタン抑止モーメントMdより小なる関係）となる。

$$\dots \dots \text{⑦式}$$

$$\dots \dots \text{⑧式}$$

50 例えDの寸法を大きくすると、マンハッタン促進モーメントMaが大きくなり、マンハッタン不良を発生する

確率は大きくなる。

【0024】何れにしても、マンハッタン不良になる要因としては、例えば、Dの寸法、Kの寸法、はんだの不均一による角度 α 、電子部品（チップ部品）51の重量、電子部品（チップ部品）51の高さH、電子部品（チップ部品）51の寸法d等がある。そして、これらDの寸法、Kの寸法、はんだの不均一による角度 α 、電子部品（チップ部品）51の寸法d、はんだの表面張力 γ 等において、ばらつき、即ち公差を有することになる。

【0025】また、図4に示すように、はんだ等の接合材を用いて接合する接合部におけるその他の不良としては、電子部品（チップ部品）51の電極間又はリード間において、はんだ同士が短絡するブリッジ不良（ブリッジ現象）58がある。このブリッジ不良の要因としては、ランド42の設計におけるランド42間の間隔、電子部品（チップ部品）51における電極間の間隔、はんだペーストの過剰な供給量、チップ部品の搭載時の位置ずれ、はんだの濡れ性の影響、ランド42の周囲に絶縁物を置く場合のこの絶縁物等の影響等が考えられる。

【0026】また、はんだ等の接合材等を用いて接合する接合部におけるその他の不良としては、電子部品の電極又はリードとパターン（ランド）42とのはんだ接続が不十分である現象（接合力不足の現象）57がある。この不良の要因としては、チップ部品の搭載時の位置ずれを含めた電子部品の電極又はリードとパターン（ランド）42との主に2次元的な幾何学的位置関係が悪いことによるはんだ面積不足、はんだ供給不足、はんだの不均一性、加熱の不均一性等が考えられる。

【0027】以上説明したように、新たな実装製品（実装装置）を設計する際、特に接合部における不良（前記したマンハッタン現象、ブリッジ現象、接合力不足の現象）が生じないように、接合プロセス条件（搭載機の搭載精度、接合部の材料の特性、接合材の供給量、加熱などの接合条件等）、及び基板の製造条件（基板上にランド等のパターンや絶縁物等を形成するための条件）を考慮して、実装する各種電子部品の選定、及び実装図の作成等を行う必要がある。しかし、新たな高密度の電子部品について、特に接合部における不良が生じないように、接合プロセス条件及び基板の製造プロセス条件を考慮した設計仕様はなく、従来は、設計者や生産技術者の経験から決めざるをえなかった。そのため、何回も試作しながら設計変更及びプロセス条件の修正を繰り返して、良品の実装製品を得て、量産に移行せざるを得なかった。

【0028】そこで、本発明は、新たな実装製品（実装装置）を設計する際、図1に示す実装製品の設計システムを用いて、実際に製造した際の実装製品における総合の性能や品質及び総合の良品率等を評価し、何回も試作することなく、早急に設計変更及びプロセス条件の修正

10

20

30

40

を実行して良品の実装製品を得て、量産に移行できるようとしたものであり、図1に示すシステムを用いて、実装製品における総合の性能や品質及び総合の良品率等を予測しえるようにしている。

【0029】図1は、本発明の1実施形態に係る実装製品の設計システム、即ち、新たな実装製品を設計する際に、総合の性能や品質及び総合の良品率等を評価できる不良解析改訂システム100を含む、実装製品の設計システムの機能構成の概要を示す図である。本実施形態に係る実装製品の設計システムは、新たな高密度の電子部品等を基板にはんだ等の接合材を用いて接合実装する新たな実装製品を設計する際等に用いられ、CAD（Computer Aided Design）計算システム1と不良解析改訂システム100とによって構成される。なお、CAD計算システム1と不良解析改訂システム100とを1つの計算機システムによって構成しても良いことは明らかである。

【0030】CAD計算システム1において、CAD計算機（実装設計CAD）10は、新たな実装製品について、実装設計により生成された実装図データ20に基づいて、基板41上に実装される各種電子部品（各種IC素子51a、各種抵抗素子51b、各種コンデンサ素子51c、各種コネクタ51d、接続ピン等）51を選定して、これら選定された各種電子部品51に関する部品設計情報を生成する。同様に、CAD計算機10は、対話形式で行われた実装設計によって生成された実装図データ20に基づいて、基板に関するランド42を含めた配線43の基板設計情報を生成する。そして、これらの部品設計情報及び基板設計情報から、部品・基板形状データ変換30を行う。

【0031】不良解析改訂システム100は、新たに設計した実装製品が総合の性能や品質において仕様を余裕をもって満足しているか否かを評価するため、許容される不良率において仕様を満足しているか否かを評価する最適値決定処理110と、総合の不良率において仕様を満足しているか否かを評価する不良率シミュレータ105と、CAD計算システム1からの部品・基板形状データベース70を基に部品・基板形状属性データ生成115を収集し、基板の全部品に関する部品表に相当する部品・基板データ管理ファイル92と、部品・基板形状データベース70に、評価のために必要な情報としてディスプレイ79を介して入力されるその他のデータを付加し、部品毎に格納した部品・基板情報データベース91と、目標不良率を達成した最終シミュレーション結果を格納する（各種データを書き替え可能に格納し、最終的に、目標不良率を達成した最終シミュレーション結果を格納する）公差最適化データベース52と、各種シミュレーション用のプログラムを記憶したROM等のプログラムメモリ75と、各種シミュレーションするための各種データ及び各種シミュレーションした結果を記憶する

RAM等のメモリ76と、インターフェース71, 72と、インターフェース71を介して接続されたディスク77やキーボード78と、インターフェース72を介して接続されたCRTや液晶表示装置等のディスプレイ79と、これらを接続するバスライン74等とから構成される。なお、不良解析改訂システム100には、プリンタ等の出力手段を接続しても良いことは明らかである。

【0032】次に、CAD計算システム1において設計された実装製品が、総合の性能や品質において仕様（不良率）を余裕をもって満足しているか否かを評価する不良解析改訂システム100における不良率シミュレータ105について、図5を用いて説明する。

【0033】図5は、各種パラメータに関する実装製品レベルの各種データを公差最適化データベース52に格納し、実装設計仕様を不良率シミュレータ105に対して入力し、解析する接合部を特定するための電子部品番号等を入力するための、ディスプレイ79上の表示画面例を示している。

【0034】パラメータとしては、現状の接合プロセス条件に関する実装製品レベルの各種データ（搭載位置Cの平均と標準偏差（ σ ）、水平方向ずれ許容値M）があり、また、実装する各種電子部品51に関する実装製品レベルの各種データ（電子部品幅F、電子部品長L、電子分品裏面電極幅K）がある。これらについては、予め電子部品番号対応で入力して、公差最適化データベース52に格納しておく。

【0035】また、実装設計仕様（例えばランド電極距離A、ランド電極長B）についても、設計者が設計しようとして決める値を電子部品番号対応で入力して、メモリ76又は公差最適化データ52に格納してもよい。さらに、新規の部品のようにバラツキのデータがない場合には、既知の電子部品のバラツキを参照して入力してもよい。

【0036】また、試行回数は、バラツキの分布（例えば正規分布）を生成するためのものである。なお、図5においてドットを施された部分は、後述するように、CADから自動で入力できる部分で、入力の手間を削減できる部分である。

【0037】実装製品の性能や品質の仕様としては、動作特性は勿論のこと、特に回路（回路を形成するスルホールを含めた配線及びはんだ等の接合材による接合等）において、所望のインピーダンス（抵抗）を満足して断線及び短絡が発生しないと共に、マンハッタン現象等が生じないことである。そこで、CAD計算システム1で新たに設計された実装製品について、不良率シミュレータ105において、実装製品を製造するこの製造プロセスの変動によってバラツキ（標準偏差）が生じたとしても、上記した実装製品の性能や品質が余裕度をもって満足するか否かを評価する必要がある。即ち、不良率解析*

$$q_s = N / n$$

*シミュレータ105は、新たに設計された実装製品について、実装製品を製造する際のこの製造プロセスの変動によってバラツキ（標準偏差）が生じたとしても、回路（回路を形成するスルホールを含めた配線及びはんだ等の接合材による接合等）において、所望のインピーダンス（抵抗）を満足して断線及び短絡（不良）が余裕度をもって発生しないように設計されているか否か、並びにマンハッタン現象（不良）等が余裕度をもって発生しないように設計されているか否かについて評価する必要がある。しかしながら、新たな高密度の電子部品等を基板にはんだ等の接合材を用いて接合実装する新たに設計された実装製品の性能や品質（不良率）に最も影響を及ぼす箇所は、新たな高密度電子部品をはんだ等の接合材を用いて接合実装する箇所である。

【0038】ところで、新たな実装製品を設計する際、特に接合部における不良（前記したマンハッタン現象59、ブリッジ現象58、接合力不足の現象57）が生じないように、接合プロセス条件（搭載機の搭載精度、接合部の接合材に対する材料特性、接合材の供給量、加熱等の接合条件等）、及び基板41の製造プロセス条件（基板上にランドのパターンや絶縁物等を形成するための条件）を考慮して、実装する各種電子部品51の選定、及び実装設計仕様に基づく実装図の作成を行う必要がある。

【0039】公差最適化データベース52には、図6に示すように、現状の接合プロセス条件に関する実装製品レベルの各種データ（搭載機の搭載精度、接合部の接合材に対する材料特性、接合材の供給量、加熱等の接合条件）と、現状の基板の製造プロセス条件に関する実装製品レベルの各種データ（ランドのパターンや絶縁物等）と、実装する各種電子部品51に関する実装製品レベルの各種データ（型式や寸法精度等）とが、入力されて格納されている。もし、新しい高密度の電子部品についてのデータが公差最適化データ52に格納されていない場合には、これらのデータを入力手段78を用いて入力して、公差最適化データ52に格納しておく必要がある。

【0040】図7は、モンテカルロ法による正規乱数により生成された仮想分布を示す図である。モンテカルロ法によって、データが得られない未知の新部品の分布を得るのが本発明の特徴の一つである。例えば、試行回数n=50000回で、図7のような分布が得られたとする。ここで、図中の σ_{sj} は、仮想分布を発生させて、統計的処理をして得られるこの部品寸法に関する分布の標準偏差である。図のように平均値から、 $\pm 3\sigma$ よりも離れた寸法を持つ（ドットを施した部位）部品が、不良であると仮定する。

【0041】ここで、このハッチングを施した部位の部品の総数をN、試行回数をnとすると、不良率 q_s は、

$$\dots \text{⑨式}$$

上記⑨式で表されることになる。

【0042】図8は、最適値決定処理110の基になるモンテカルロ法の動作(S201～S207)を示している。最初に部品の設計値、設計上限値、設計下限値を入力するのは、仮想分布生成のために必要であるからである。また、新規部品の場合は、類似の既知電子部品での平均値と、標準偏差 σ_{sj} を仮定してもよい。図8の説明は、ボックス・ミューラの方法により正規分布を生成する例を示している。

【0043】図9は、最適値決定処理110の解析結果を、ディスプレイ79上に表示した画面例を示している。これは、CAD計算システム1から自動入力した実装設計仕様(ランド電極長B、ランド電極幅E、電極間距離Aの公称値)に対しての最適の公差を決定するための解析結果を示すものである。図9に示した例は、ランド電極長Bに対して許容不良率(オペレータによる入力値)と総不良率の推移をシミュレーションした結果を示している。即ち、各種のランド電極長Bに対して、それぞれモンテカルロ法で求めた総不良率の推移曲線が示されている。はんだ付不良の許容される不良率(例えば、50 p. p. m)から、最適値(例えば、377 μm)と公差(例えば、±149 μm)を求めることができる。

【0044】また、図10は、総不良率と許容不良率との交差する点の近似解を求めるところのニュートン・ラプソン近似解法を示している。即ち、総不良率の曲線に接線を何回かあてはめることを繰り返すことにより、許容不良率との交点の近似値が得られ、これによっても公差を求めることができる。

【0045】さらにまた、許容不良率を図9のようにドットによる線分で色付けし、総不良率の曲線と交差する部分でドットが欠落するか又は色が変化するところの位置座標を読み取ることによっても、公差を求めることが可能である。

【0046】このようにして、実装設計仕様(ランドの2次元の設計寸法)の最適値と公差が、電子部品51の電極又はリードとランド42との間において、上記不良率で幾何学的に定量的に規定することができる。この結果は、図1に示すように、実装図データ20の部品寸法にフィードバックして反映されるようになっている。

【0047】図11は、部品・基板形状データ変換30の動作を示すフローチャートである。まず、CAD計算機システム1より実装図データが読み込まれる(S00)。次に、解析対象となるシンボルを探索し、部品を確定する(S01)。ここで、一例として、代表的なIC部品とチップ部品の認識方法について述べる。四角い图形で長さ又は幅が3.3mm以上か否かを比較して、3.3mmより小さければ、チップ部品と認識して、3.3mmより大きければ、IC部品と認識する。これは、チップ部品で3216(3.2mm×1.6mm)

タイプのチップ部品が、通常使用される最も大きな部品であることに起因している(S02, S05, S06)。IC部品はピンリードのレイヤで、IC部品に重なる四角い图形をIC部品側と認識する(S07)。これから図15に示すように、実装図にIC番号を自動生成すると共にピン数を計数する(S09)。更に、リード番号、リード寸法を取得する(S10)。一方、基板側は、ランドのレイヤでIC部品に重なる四角い图形をランドとし(S08)、ランド寸法を取得する(S11)。同様にして、チップ部品の部品側はピンリードのレイヤで、チップ部品に重なる四角い图形をチップ部品側と認識して(S12)、チップ番号を自動生成し(S13)、更に、リード寸法を取得する(S14)。一方、基板側は、ランドのレイヤでチップ部品に重なる四角い图形をランドとし(S20)、ランド番号を取得し(S21)、更に、ランド寸法を取得する(S22)。以上のようにして、部品・基板形状データを変換する(S23)。

【0048】図12は、実装図の図面データから得られる、部品・基板形状データベース70のフォマット形式を示しており、チップ部品の部品側と基板側の寸法情報、及びIC部品の部品側と基板側の寸法情報のデータベースのフォマット形式である。

【0049】図13は、部品・基板データ管理ファイル92のフォマット形式を示しており、いわゆる部品一覧表に相当するデータベースである。

【0050】図14は、部品・基板情報データベース91のフォマット形式を示しており、CADから生成されたものと、部品・基板形状情報データベースに入力装置79を介して入力されるデータを格納するデータベースである。

【0051】

【発明の効果】以上のように本発明によれば、新しい実装製品の開発において、品質向上及び短期製品開発という、相反する開発目標を同時に実現できるという効果が得られる。

【0052】また、本発明によれば、新しい実装製品の開発において、実装製品の設計システムを用いて、所望の性能や品質を満足するかどうかを早急に評価、解析して、満足しない場合には早急に設計にフィードバックして設計変更を行って、新しい実装製品の開発を、試作品を何回となく作り直すことなく短期に、かつ効率良く行うことができる効果を奏する。

【0053】また、本発明によれば、新しい実装製品の開発において、実装製品の設計システムを用いて所望の性能や品質が満足するかどうかを早急に評価、解析し、CAD計算システムと不良解析改訂システムとにより、早期に最も不良率を低下させている要因を探求することが可能となり、その結果、不良率を低下させている要因を取り除き、対策を容易に施すことができ、新しい実装

製品の開発を、試作品を何回となく作り直すことなく短期に、かつ効率良く行うことができる効果を奏する。

【0054】また、本発明によれば、新しい実装製品の開発において、実装製品の設計システムを用いることにより、品質を含む生産性向上と新製品の開発期間を短縮できるという効果も得られる。

【図面の簡単な説明】

【図1】本発明の1実施形態に係る設計システムの概要を示すブロック図である。

【図2】本発明が適用される実装製品の1例を示す斜視図である。

【図3】接合部において生じるマンハッタン現象を示す説明図である。

【図4】はんだ付不良解析例を示す説明図である。

【図5】本発明の1実施形態に係る設計システムのディスプレイにおける、入力データの表示例を示す説明図である。

【図6】本発明の1実施形態に係る設計システムの不良率シミュレータにおいて用いられる、公差最適化データベースに格納されるデータ例を示す説明図である。

【図7】モンテカルロ法による正規乱数によって、生成された仮想分布を示す説明図である。

【図8】本発明の1実施形態における、不良率計算の処理手順の1例を示すフローチャート図である。

【図9】本発明の1実施形態に係る設計システムの最適値決定処理における、解析結果の1例を示す説明図である。

【図10】ニュートン・ラプソン近似解法により、公差を求める方法を示した説明図である。

【図11】本発明の1実施形態における、CADで実装設計中に部品・基板形状のデータ変換する方法を示すフローチャート図である。

【図12】本発明の1実施形態に係る設計システムの部品・基板形状データベースにおける、フォマット形式の1例を示す説明図である。

【図13】本発明の1実施形態に係る設計システムの部品・基板データ管理ファイルにおける、フォマット形式

の1例を示す説明図である。

【図14】本発明の1実施形態に係る設計システムの部品・基板情報データベースにおける、フォマット形式の1例を示す説明図である。

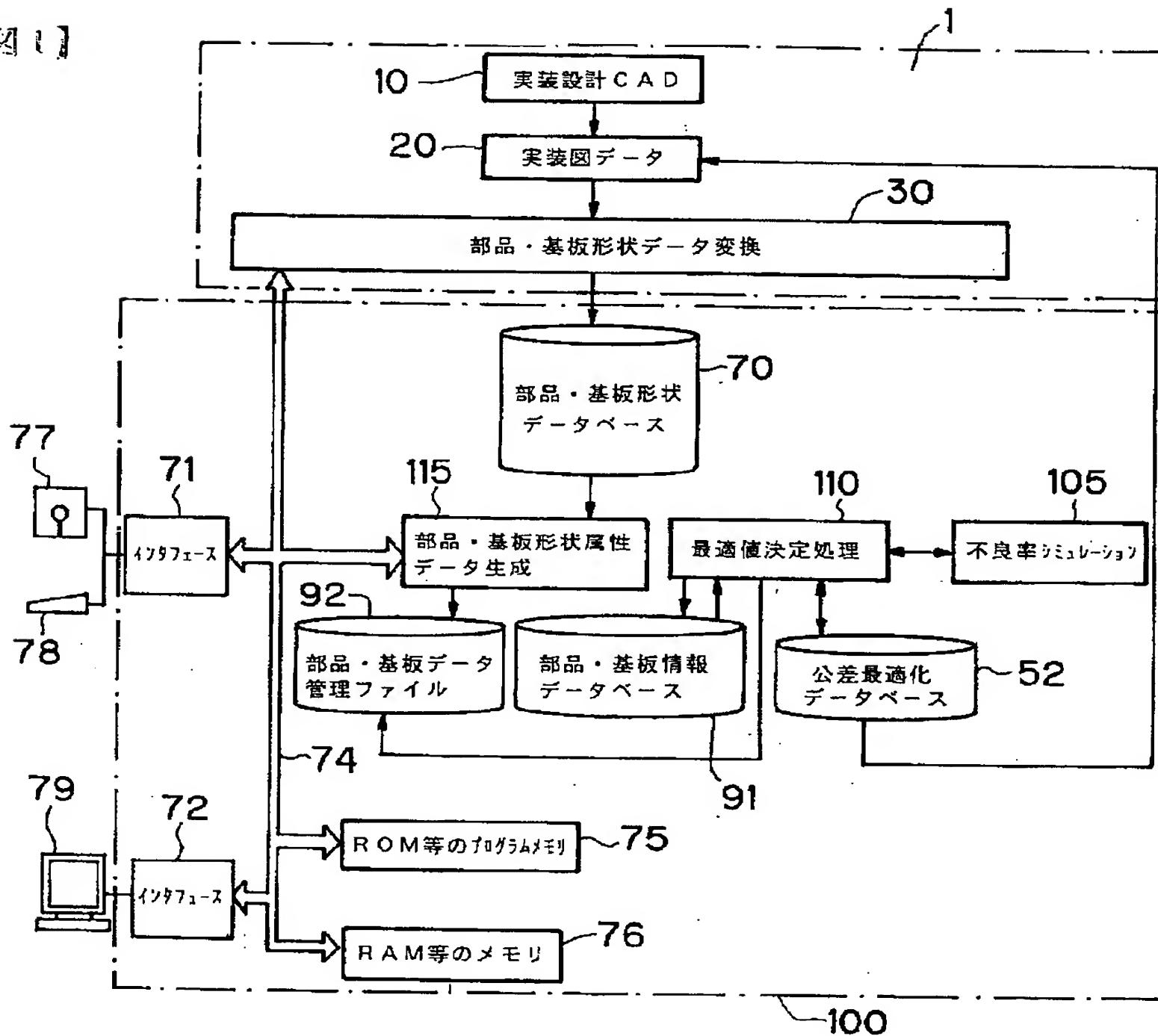
【図15】本発明の1実施形態における、実装図データからIC部品として認識されたときIC番号を生成したときの状態を示す説明図である。

【符号の説明】

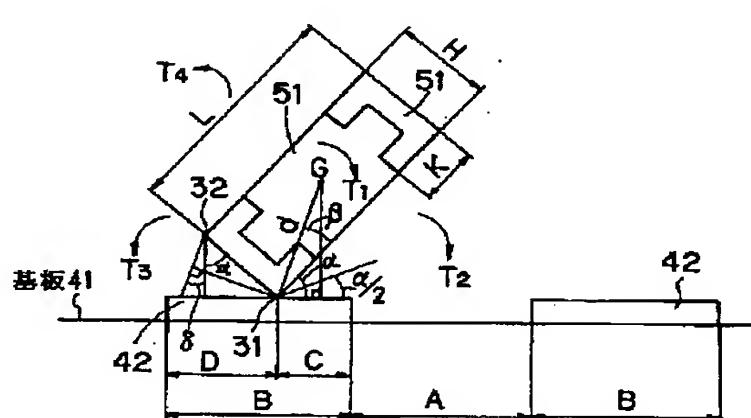
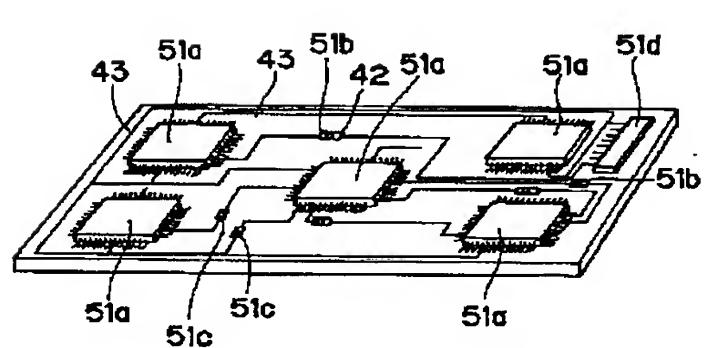
- 1 CAD計算システム
- 10 CAD計算機
- 20 実装図データ
- 30 部品・基板形状データ変換
- 41 基板
- 42 ランド
- 43 配線
- 51 電子部品
- 51a IC素子
- 51b 抵抗素子
- 51c コンデンサ素子
- 51d コネクタ
- 52 公差最適化データベース
- 57 接合力不足現象
- 58 ブリッジ現象
- 59 マンハッタン現象
- 70 部品・基板形状データベース
- 71, 72 インタフェース
- 75 ROM等のプログラムメモリ
- 76 RAM等のメモリ
- 77 ディスク
- 78 キーボード
- 79 ディスプレイ
- 91 部品・基板情報データベース
- 92 部品・基板データ管理ファイル
- 100 不良解析改訂システム
- 105 不良率シミュレーション
- 110 最適化決定処理
- 115 部品・基板形状属性データ生成

【図1】

【図1】



【図2】



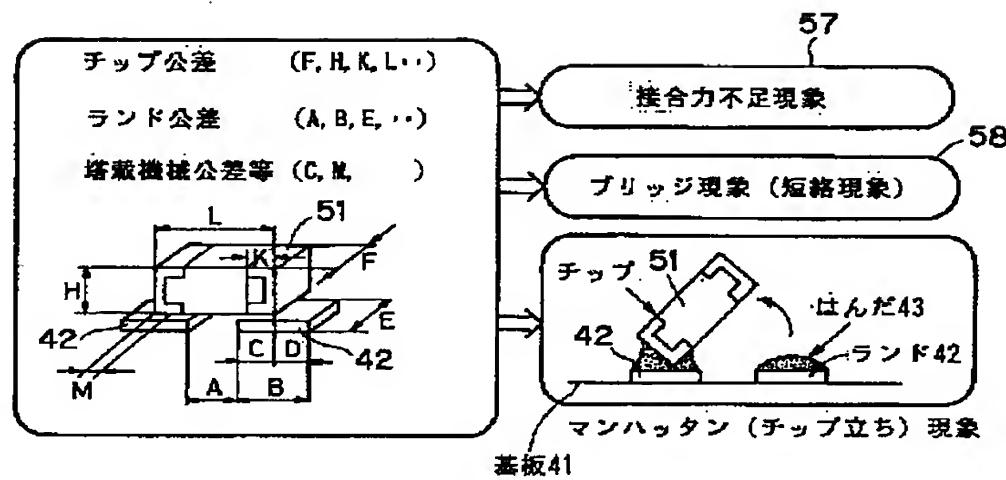
【図3】

【図2】

【図3】

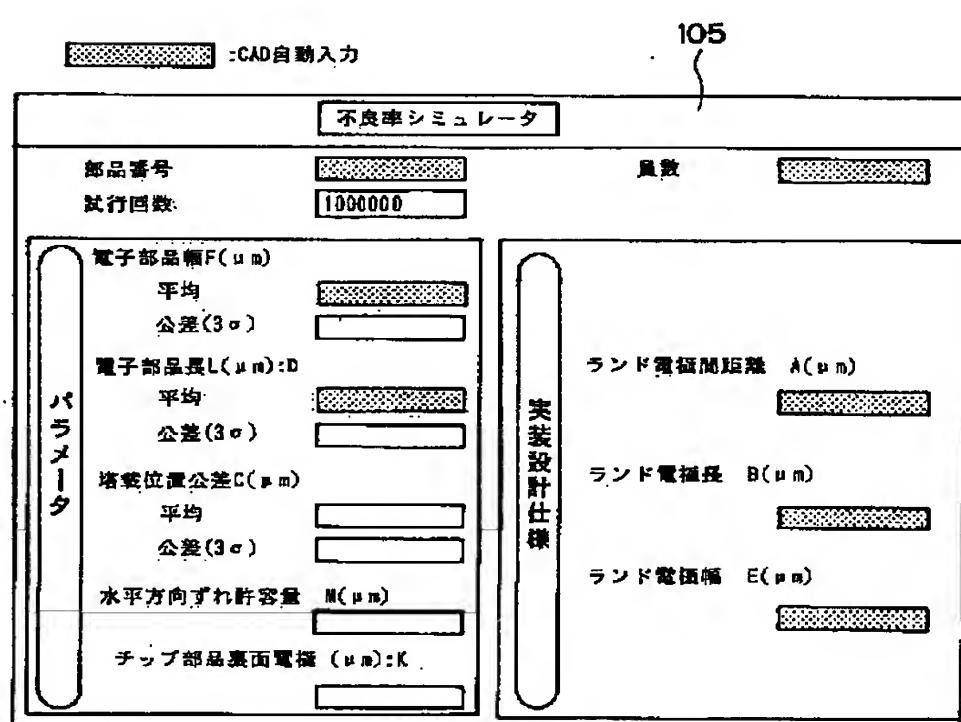
【図4】

【図4】



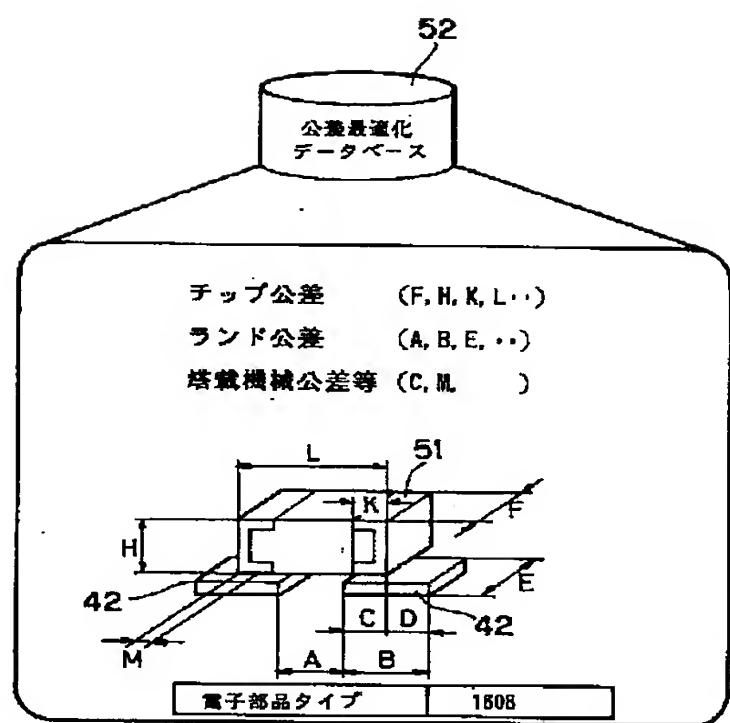
【図5】

【図5】



【図6】

【図6】

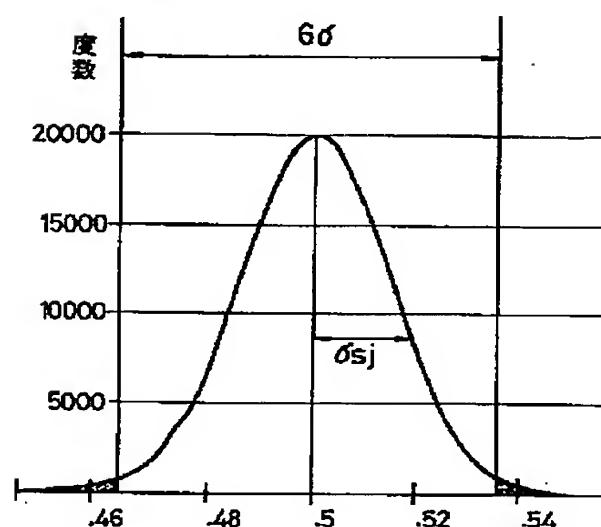


【図7】

【図7】

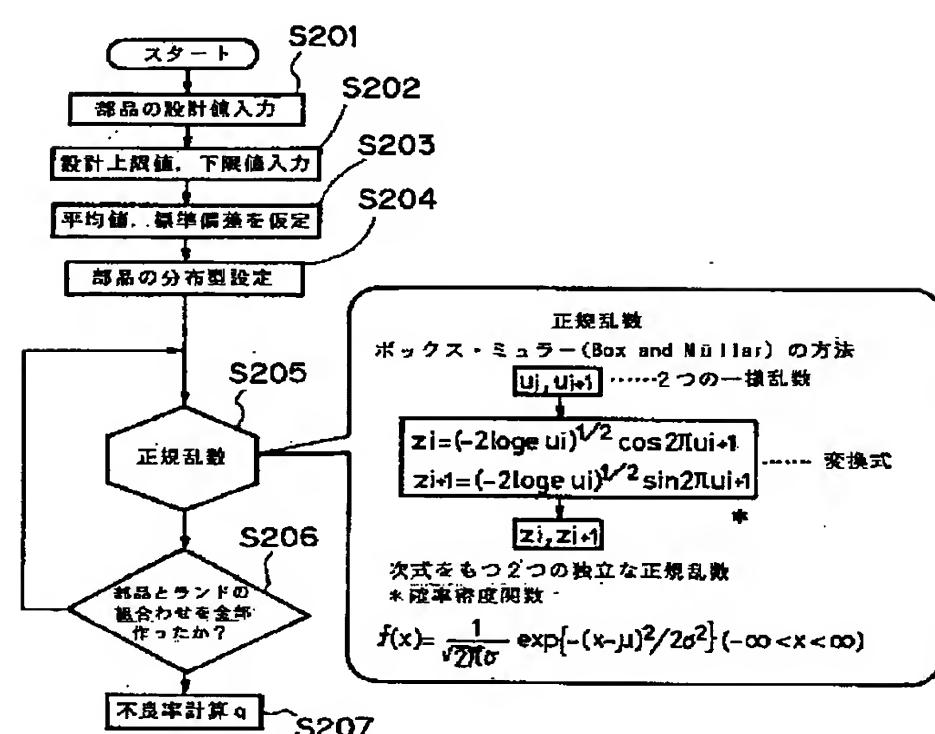
モンテカルロ法による正規乱数

n: 試行回数 500000

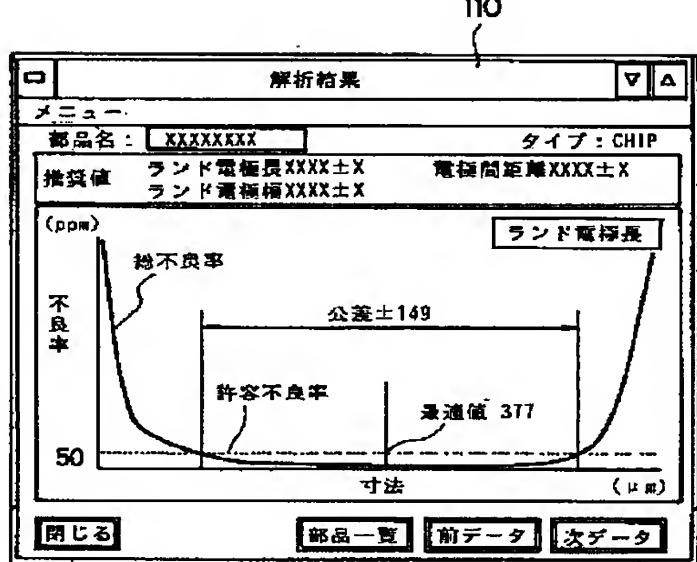


【図8】

【図8】

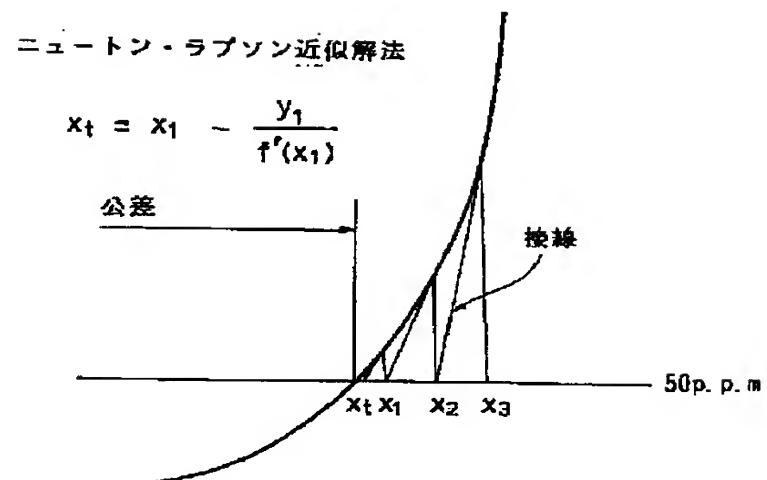


【図9】



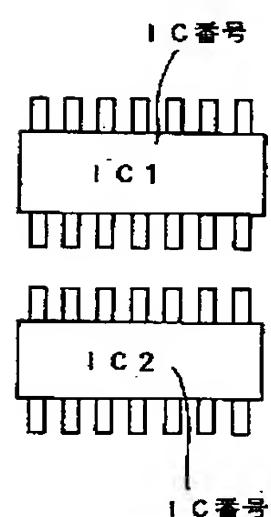
【図10】

【図10】



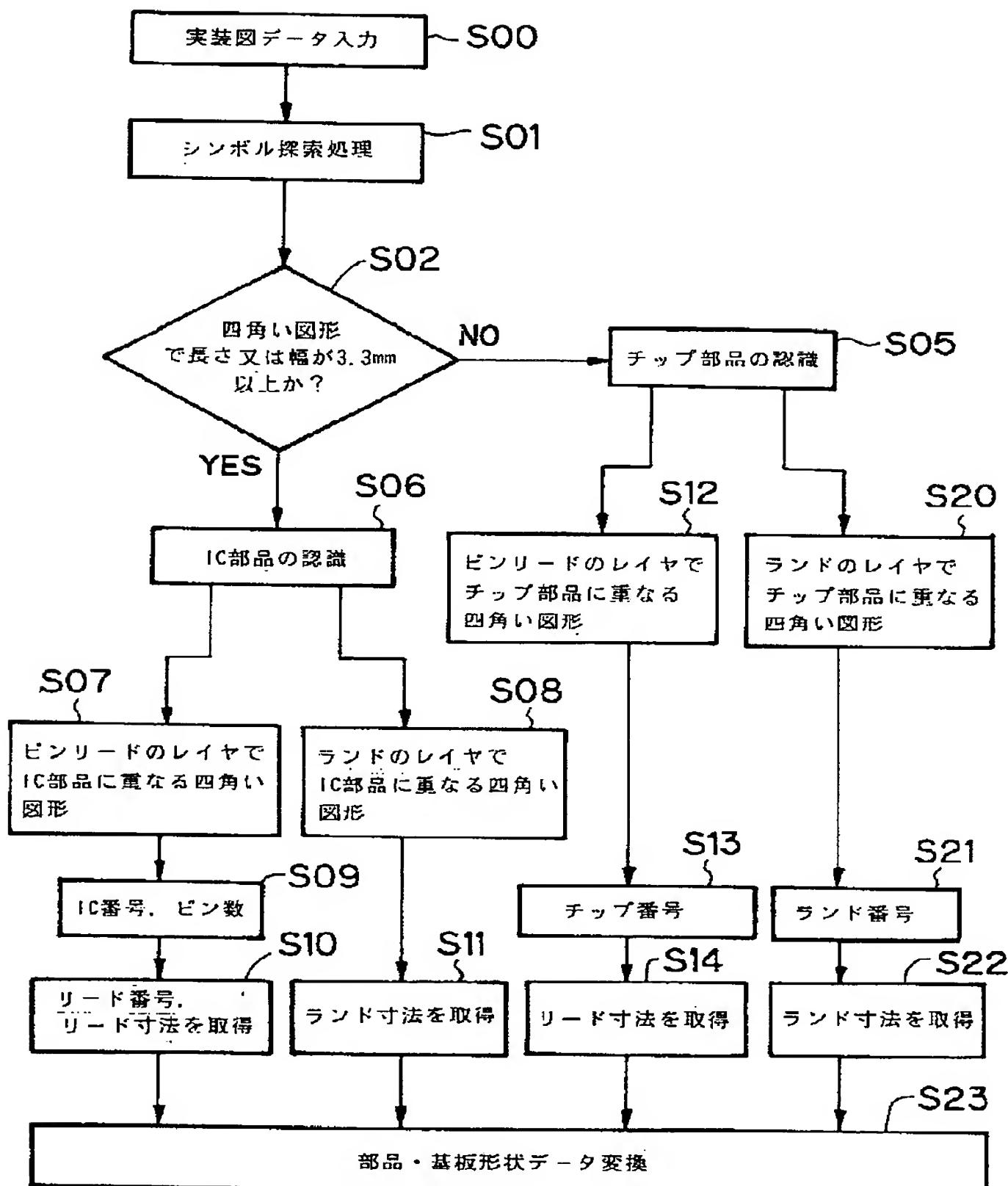
【図15】

【図15】



【図11】

【図11】



【図12】

【図12】

70

部品・基板形状データベース

部品・基板形状データベース：(a : ¥*****)

基板名称

```

/* チップ部品のデータ */
chip item{
    name=*** /* 部品名 */
    chip length=*** /* チップ部品長 */
    chip width=*** /* チップ部品幅 */
    land length=*** /* ランド電極長 */
    land width=*** /* ランド電極幅 */
    land between=*** /* 電極間距離 */
    chip h thrs =*** /* 水平方向ずれ許容量 */
}

/* IC部品のデータ */
ic item{
    name=*** /* 部品名 */
    pins=*** /* ピン数 */
    lead length=*** /* リード長 */
    lead width=*** /* リード幅 */
    lead pitch=*** /* リードピッチ */
    land length=*** /* ランド長 */
    land width=*** /* ランド幅 */
    land pitch=*** /* ランドピッチ */
}

```

【図13】

2

三

管理番号	部品データファイル名 (フルバス)	最適化ファイル名 (フルバス)	異行 フラグ	不足データ 確定フラグ	部品名	部品 タイプ	許容 不良率
00000001	c:\Project\result\fed000001.dat	c:\Project\result\fed000001.dat	1	1	chip00100020003	3	30

【図14】

8

品・基板情報データベース

部品・基板情報データベース:(¥date¥od?????.dat)

卷五

部品・基板情報データベースに、ユーザ入力データ(図面部)を付加

四百一

フロントページの続き

(72) 発明者 永見 速

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所映像情報メディア事業部
内